

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-301782

(43)公開日 平成5年(1993)11月16日

(51)Int.Cl⁵

識別記号

庁内整理番号

F I

技術表示箇所

C 0 4 B 37/00

Z

H 0 2 N 2/00

B 8525-5H

審査請求 未請求 請求項の数3(全6頁)

(21)出願番号 特願平4-109642

(71)出願人 000134257

株式会社トーキン

宮城県仙台市太白区郡山6丁目7番1号

(22)出願日 平成4年(1992)4月28日

(72)発明者 大友 廣一

宮城県仙台市太白区郡山6丁目7番1号

株式会社トーキン内

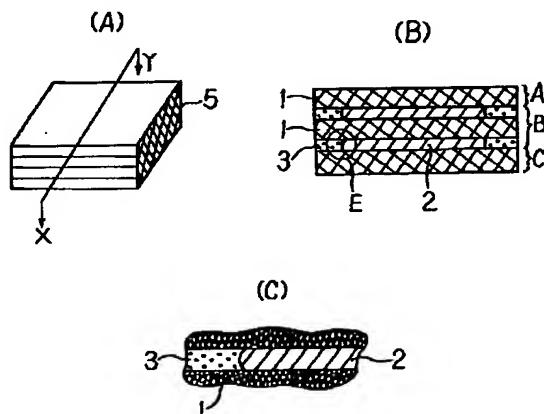
(74)代理人 弁理士 後藤 洋介 (外2名)

(54)【発明の名称】 積層型チップアクチュエータ材料、それを用いた積層型チップアクチュエータ及びその製造方法

(57)【要約】

【目的】 歪みの影響を被り難く、耐久性に優れた多層構造の積層型チップアクチュエータを提供するものである。

【構成】 それぞれ上下に位置する高密度セラミックス層1から成る上保護膜部Aと下保護膜部Cとの間に介挿された活性部Bは、内部導電体電極2周囲に高密度セラミックス層1と低密度セラミックス層3とが密着している。このように製造された積層型チップアクチュエータは、内部導電体電極2周囲で各セラミックス層が密度差を持つので、動作状態で応力に伴う歪みが発生してもその密度差により低密度セラミックス層3の方に亀裂を生じ易くなる。この結果、積層型チップアクチュエータは多少の歪みが発生しても、要部である高密度セラミックス層1及び内部導電体電極2が支障無く保護される。



【特許請求の範囲】

【請求項1】 強誘電体粉末に対してバインダーを重量比(15~50) : 1で用いると共に、可塑剤を加えた高密度セラミックス材料と、金属性粉末に対して強誘電体粉末を体積比1 : (0.02~0.3)で用いると共に、可塑剤を加えた内部導電体電極材料と、強誘電体粉末に対してバインダーを重量比(0~15) : 1(但し、強誘電体粉末は0を含まず)で用いた低密度セラミックス材料とを積層した生チップ状態の活性部を含み、該活性部は前記低密度セラミックス材料の厚みが前記高密度セラミックス材料の厚みの1/2以下であることを特徴とする積層型チップアクチュエータ材料。

【請求項2】 請求項1記載の積層型チップアクチュエータ材料を焼成することにより得られたことを特徴とする積層型チップアクチュエータ。

【請求項3】 強誘電体粉末に対してバインダーを重量比(15~50) : 1で用いると共に、可塑剤を加えて高密度セラミックス材料を生成し、該高密度セラミックス材料をキャリアシート上に積層する高密度セラミックス層形成工程と、強誘電体粉末に対してバインダーを重量比(0~15) : 1(但し、強誘電体粉末は0を含まず)で用いて低密度セラミックス材料を生成し、該低密度セラミックス材料を前記高密度セラミックス層上に積層して低密度セラミックス層を得る低密度セラミックス層形成工程と、金属性粉末に対して強誘電体粉末を体積比1 : (0.02~0.3)で用いると共に、可塑剤を加えて内部導電体電極材料を生成し、該内部導電体電極材料を前記低密度セラミックス層上に積層して内部導電体電極を得る内部導電体電極形成工程と、前記低密度セラミックス層と前記内部導電体電極及び前記高密度セラミックス層とを圧着して生チップ状態で活性部を得る圧着工程とを含むことを特徴とする積層型チップアクチュエータの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、主に較正の目的でマイクロホン等の振動板に所定直流電圧を印加するための導電体電極として使用される積層型チップアクチュエータ用の材料、それを用いた積層型チップアクチュエータ及びその製造方法に関する。

【0002】

【従来の技術】従来、この種の積層型チップアクチュエータは、強誘電体材料を用いたセラミックス製シート(高密度セラミックス層を成す)に印刷法により内部導電体電極を設け、複数枚のセラミックス製シートを圧着積層した後、その側面部に外部導電体電極を取り付けた構成になっている。

【0003】図7(A)は積層型チップアクチュエータの一例の外観を斜視図により示し、同図(B)はそのX-Y方向における縦断面図を示し、同図(C)は同図

(B)の領域Eにおける部分拡大図を示したものである。

【0004】即ち、積層型チップアクチュエータは、上述した如く、印刷法により高密度セラミックス層1上に内部導電体電極2を設け、複数枚の高密度セラミックス層1内に内部導電体電極2を介在させて圧着積層することによって、高密度セラミックス層1内に内部導電体電極2が埋設され、側面部に外部導電体電極5が設けられた構成となる。

10 【0005】このような積層型チップアクチュエータは、内部導電体電極2周囲とこれからやや離れた箇所とにおいてもセラミックスは一様に高密度に存在する。又、積層型チップアクチュエータはセラミックス製シートを積層させる構成上、内部導電体電極を取り付けた単板を複数枚重ねて接着し、その側面部に外部導電体電極を取り付けた構成の一般的なチップアクチュエータ(図示せず)よりも小型化を図る上で有利になっている。

【0006】

【発明が解決しようとする課題】しかしながら、従来の積層型チップアクチュエータは、セラミックス製シートの枚数が5枚以上で積層された(即ち、5層以上の積層構成)場合、動作状態で応力が加えられると、これに伴う歪みが内部導電体電極に集中的に発生し易くなる。こうした場合、内部導電体電極端部のセラミックス製シート(高密度セラミックス層)にしばしば亀裂(クラック)を生じる。このように、従来の積層型アクチュエータは構造面に問題を抱えており、製品寿命が短くなり易いという難点がある。

20 【0007】本発明は、このような問題点を解消すべくなされたもので、その技術的課題は、歪みの影響を被り難く、耐久性に優れた多層構造の積層型チップアクチュエータを構成可能にする材料、それを用いた積層型チップアクチュエータ及びその製造方法を提供することにある。

【0008】

【課題を解決するための手段】本発明によれば、強誘電体粉末に対してバインダーを重量比(15~50) : 1で用いると共に、可塑剤を加えた高密度セラミックス材料と、金属性粉末に対して強誘電体粉末を体積比1 :

40 (0.02~0.3)で用いると共に、可塑剤を加えた内部導電体電極材料と、強誘電体粉末に対してバインダーを重量比(0~15) : 1(但し、強誘電体粉末は0を含まず)で用いた低密度セラミックス材料とを積層した生チップ状態の活性部を含み、該活性部は低密度セラミックス材料の厚みが高密度セラミックス材料の厚みの1/2以下である積層型チップアクチュエータ材料が得られる。

【0009】又、本発明によれば、上記積層型チップアクチュエータ材料を焼成した積層型チップアクチュエータが得られる。

【0010】更に、本発明によれば、強誘電体粉末に対してバインダーを重量比(15~50):1で用いると共に、可塑剤を加えて高密度セラミックス材料を生成し、該高密度セラミックス材料をキャリアシート上に積層する高密度セラミックス層形成工程と、強誘電体粉末に対してバインダーを重量比(0~15):1(但し、強誘電体粉末は0を含まず)で用いて低密度セラミックス材料を生成し、該低密度セラミックス材料を高密度セラミックス層上に積層して低密度セラミックス層を得る低密度セラミックス層形成工程と、金属性粉末に対して強誘電体粉末を体積比1:(0.02~0.3)で用いると共に、可塑剤を加えて内部導電体電極材料を生成し、該内部導電体電極材料を低密度セラミックス層上に積層して内部導電体電極を得る内部導電体電極形成工程と、低密度セラミックス層と内部導電体電極及び高密度セラミックス層とを圧着して活性部を得る圧着工程とを含む積層型チップアクチュエータの製造方法が得られる。

【0011】

【作用】本発明による積層型チップアクチュエータ材料は、高密度セラミックス材料と内部導電体電極材料との間に低密度セラミックス材料を圧着挿入した活性部を生チップ状態で有する。この活性部が熱プレス成形された後においては、内部導電体電極周囲に高低の密度差を持つセラミックス層が密着する。従って、この活性部を含む積層型チップアクチュエータ材料を焼成した積層型チップアクチュエータは、動作状態で応力に伴う歪みが発生すると、その密度差により低密度セラミックス層の方が亀裂を生じ易くなる。これにより、多少の歪みが発生しても高密度セラミックス層の方は亀裂を生じ難くなる。この結果、積層型チップアクチュエータの要部である高密度セラミックス層及び内部導電体電極の基本構造は支障なく保護される。

【0012】

【実施例】以下に実施例を挙げ、本発明の積層型チップアクチュエータ材料、それを使用した積層型チップアクチュエータ及びその製造方法について図面を参考して詳細に説明する。

【0013】初めに、積層型チップアクチュエータ材料と共に積層型チップアクチュエータの製造方法を説明する。先ず、 $Pb[(Ni \cdot Nb)ZrTi]O_3$ を組成とする複合ペロブスカイト系強誘電体材料の組成材料を混合、予焼、粉碎することにより得られる(混合)材料粉末をエチルセロソルブ(バインダー)に分散させた後、PVB、PPBGを混合して懸濁液を作成する。この懸濁液は高密度セラミックス材料であり、強誘電体粉末とバインダーとの重量比を(15~50):1の範囲としている。

【0014】引き続き、懸濁液をキャリアフィルム(シート)上に100μmの厚みで塗布し、ドクターブレイ

ド法を用いてシート状高密度セラミックス層(生シート)を作成した。即ち、ここまで段階は高密度セラミックス層形成工程である。

【0015】図1は、高密度セラミックス層形成工程で得られた積層体を示すもので、同図(A)はその断面図、同図(B)はその平面図をそれぞれ示している。この積層体は、キャリアシート4上に高密度セラミックス層1が部分的に帯状を成して積層された構成である。尚、この高密度セラミックス層1は従来の積層型チップアクチュエータにおけるグリーンシート(セラミックス製シート)に相当する。

【0016】次に、強誘電体材料とPVBとを重量比(0~15):1(但し、強誘電体材料は0を含まず)として懸濁液を作成する。この懸濁液は低密度セラミックス材料である。引き続き、この懸濁液を高密度セラミックス層形成工程で得られた積層体の高密度セラミックス層1上に5μmの厚みで塗布した後、乾燥させて低密度セラミックス(弱誘電体)層3を形成した。この段階は低密度セラミックス層形成工程である。尚、低密度セラミックス層3はバインダーを多く含む為、バインダー層と呼ばれても良いもので、従来の積層型チップアクチュエータにおけるバインダーシートに相当する。又、低密度セラミックス層3の厚みを5μmとしたが、この厚みは高密度セラミックス層1の1/2以下であれば良い。

【0017】図2は、低密度セラミックス層形成工程で得られた積層体を示すもので、同図(A)はその断面図、同図(B)はその平面図をそれぞれ示している。この積層体は、高密度セラミックス層1上に低密度セラミックス層3が積層された構成である。

【0018】更に、金属性粉末と上述した強誘電体粉末とを体積比1:(0.02~0.3)としたものに可塑剤を混合させて内部導電体電極材料を作成する。引き続き、この内部導電体電極材料を低密度セラミックス層3上に所定パターンで印刷し、積層セラミックスコンデンサを製造する場合と同様に取り出し電極部と有効電極部から成る内部導電体電極を形成した。この段階は内部導電体電極形成工程である。

【0019】図3は、内部導電体電極形成工程で得られた積層体を示すもので、同図(A)はその断面図、同図(B)はその平面図をそれぞれ示している。この積層体は、低密度セラミックス層3上の局部に取り出し電極部及び有効電極部から成る内部導電体電極2が積層された構成である。

【0020】ここまで工程で得られる積層体のうち、高密度セラミックス層1、低密度セラミックス層3及び内部導電体電極2は活性部と呼ばれても良い。

【0021】又、積層型チップアクチュエータの製造工程では、更に内部導電体電極2が高密度セラミックス層

1に重なり合うように例えば2つの活性部を組み合わせたものの上下を、それぞれ上下保護膜部として高密度セラミックス層1で挟み込むことにより、総計20枚のセラミックス製シートを用いて積層型チップアクチュエータ材料を構成した後、この積層型チップアクチュエータ材料を熱プレス成形により圧着し、内部導電体電極2に低密度セラミックス層3及び高密度セラミックス層1が密着された活性部が得られる。即ち、この段階は圧着工程であり、これにより生チップ状態で活性部が得されることになる。

【0022】図4は本発明の一実施例に係る積層型チップアクチュエータ材料の熱プレス成形を説明するための図で、同図(A)はプレス金型に収納された熱プレス前の積層型チップアクチュエータ材料を示し、同図(B)にはその領域Eにおける部分拡大図を示している。

【0023】ここで、積層型チップアクチュエータ材料は、内部導電体電極形成工程で得られた積層体において内部導電体電極2が低密度セラミックス層3上の局部的に設けられ、高密度セラミックス層1と低密度セラミックス層3との間には内部導電体電極2が介挿されていることにより、活性部Bにおいては、図4(B)に示す如く、内部導電体電極2の厚み方向に空間部Sが形成されている。即ち、熱プレス前の積層型チップアクチュエータ材料では、活性部Bに内部導電体電極2に隣接して形成された空間部Sが存在する。

【0024】この積層型チップアクチュエータ材料は、図4(A)に示す如く、上金型パンチ6a、下金型パンチ6b、左側壁金型パンチ6c、及び右側壁金型パンチ6dから成るプレス金型内で上下方向に高密度セラミックス層1が位置されるように収納された後、例えば温度120℃、圧力300Kg/cmで熱プレス成形される。このとき、積層型チップアクチュエータ材料においては2つの層に及ぶ内部導電体電極2に圧力が高く加えられ、この結果、内部導電体電極2に隣接する低密度セラミックス層3が粉碎されて流動し、空間部Sを埋めるため、積層型チップアクチュエータ材料は上下方向の寸法が収縮し、活性部Bにおいては空間部Sが消失する。

【0025】図5(A)はプレス金型に収納された熱プレス後の積層型チップアクチュエータ材料を示し、同図(B)にはその領域Eにおける部分拡大図を示している。熱プレスされた積層型チップアクチュエータ材料は、図5(B)に示す如く、内部導電体電極2周囲で空間部Sが完全に消滅し、内部導電体電極2と高密度セラミックス層1及び低密度セラミックス層3とが密着された活性部Bを成す。

【0026】更に、積層型チップアクチュエータの製造工程では、熱プレス後の積層型チップアクチュエータ材料を所定の寸法に切断し、焼成により脱バインダー処理を施す。その後、内部導電体電極2の取り出し電極部に導電性テープ、蒸着法、スパッタリング等により外部導

電体電極を取り付けて積層型チップアクチュエータを完成させる。これにより、生チップ状態で内部導電体電極2周囲の各セラミックス層に密度差を持つ活性部Bが得られる。但し、この外部導電体電極を取り付け工程は、焼付法を導入せずに各セラミックス層に外部導電体電極が浸透しないようにする必要がある。

【0027】図6(A)はこのようにして得られた本発明の一実施例である積層型チップアクチュエータの外観を斜視図により示し、同図(B)はそのX-Y方向における縦断面図を示し、同図(C)は同図(B)の領域Eにおける部分拡大図を示したものである。

【0028】この積層型チップアクチュエータは、それ上下に位置する高密度セラミックス層1から成る上保護膜部A及び下保護膜部Cの間に介挿された活性部Bにおいて、内部導電体電極2周囲に高密度セラミックス層1及び低密度セラミックス層3が密着され、内部導電体電極2周囲の各セラミックス層が密度差を持つので、応力に伴う歪みが発生してもその密度差により低密度セラミックス層3の方に亀裂を生じ易くなると共に、高密度セラミックス層1の方は亀裂を生じ難くなる。この結果、積層型チップアクチュエータ内では、動作状態で応力に伴う歪みが多少発生しても、要部である高密度セラミックス層1及び内部導電体電極2が破損されずに確率高く保護される。

【0029】本発明による積層型チップアクチュエータと図7(A)～(B)で説明した従来の積層型チップアクチュエータとを、それぞれ完成品100個に関し、室温25℃、10[V]×600[Hz]の駆動条件で動作状態における約1億回相当の応力に伴う歪み発生による故障率(耐久特性)を比較したところ、本発明による積層型チップアクチュエータでは5%となったのに対し、従来の積層型チップアクチュエータでは45%となつた。

【0030】この結果、本発明の積層型チップアクチュエータは、従来のものよりも格段に歪みの影響を被り難く、故障し難い耐久性に優れたものであることが判つた。

【0031】

【発明の効果】以上に述べた通り、本発明の多層構造の積層型チップアクチュエータを構成する材料、それを使用した積層型チップアクチュエータ及びその製造方法によれば、上下に位置する保護膜部の間に、内部導電体電極周囲に高密度セラミックス層と低密度セラミックス層とが密着された状態の活性部が介挿されるように積層型チップアクチュエータを構成しているので、内部導電体電極周囲の各セラミックス層が密度差を持ち、応力に伴う歪みが発生してもその密度差により低密度セラミックス層の方に亀裂が生じ易くなる。これにより、本発明による積層型チップアクチュエータは多少の歪みが発生しても、要部である高密度セラミックス層及び内部導電体

電極が支障無く保護される。結果として、歪みの影響を被り難く、耐久性に優れた多層構造の積層型チップアクチュエータが提供される。又、本発明による多層構造の積層型チップアクチュエータも、容易に小型化を図り得るという利点がある。

【図面の簡単な説明】

【図1】(A)は本発明の積層型チップアクチュエータの製造方法における高密度セラミックス層形成工程で得られた積層体の断面図を示し、(B)はその積層体の平面図を示すものである。

【図2】(A)は本発明の積層型チップアクチュエータの製造方法における低密度セラミックス層形成工程で得られた積層体の断面図を示し、(B)はその積層体の平面図を示したものである。

【図3】(A)は本発明の積層型チップアクチュエータの製造方法における内部導電体電極形成工程で得られた積層体(活性部)の断面図を示し、(B)はその積層体の平面図を示したものである。

【図4】(A)は熱プレス前のプレス金型に収納された本発明の一実施例に係る積層型チップアクチュエータ材料を示し、(B)はその領域Eにおける部分拡大図を示したものである。

【図5】(A)は熱プレス後のプレス金型に収納された本発明の一実施例に係る積層型チップアクチュエータ材料を示し、(B)はその領域Eにおける部分拡大図を示したものである。

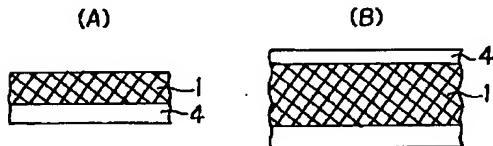
【図6】(A)は本発明の一実施例である積層型チップアクチュエータの外観を斜視図により示し、(B)はそのX-Y方向における縦断面図を示し、(C)は(B)の領域Eにおける部分拡大図を示したものである。

【図7】(A)は従来の積層型チップアクチュエータの外観を斜視図により示し、(B)はそのX-Y方向における縦断面図を示し、(C)は(B)の領域Eにおける部分拡大図を示したものである。

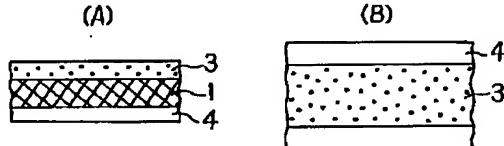
【符号の説明】

- 1 高密度セラミックス層
- 2 内部導電体電極
- 3 低密度セラミックス層
- 4 キャリアシート
- 5 外部電極
- 6a, 6b, 6c, 6d 金型パンチ
- 20 A, C 保護膜部
- B 活性部
- S 空間部

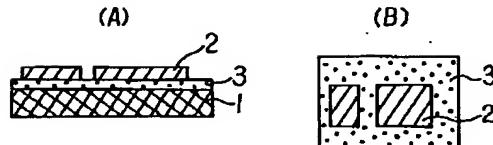
【図1】



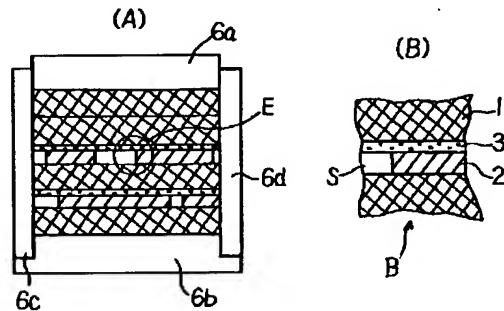
【図2】



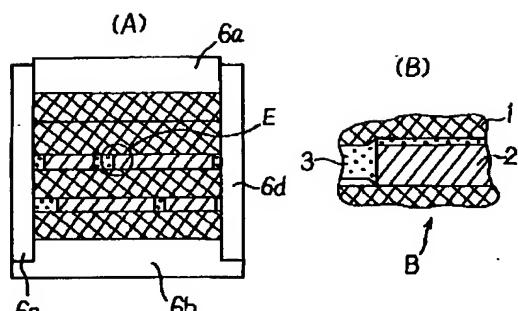
【図3】



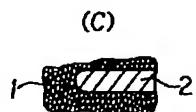
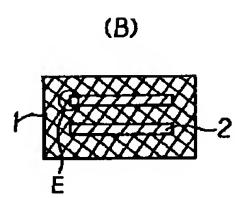
【図4】



【図5】



【図7】



【図6】

